

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-209292

(43)Date of publication of application : 07.08.1998

(51)Int.Cl.

H01L 21/8234

H01L 27/088

H01L 27/04

H01L 21/822

(21)Application number : 09-357090

(71)Applicant : SGS THOMSON MICROELECTRON SRL

(22)Date of filing : 25.12.1997

(72)Inventor : RAVANELLI ENRICO M A

FONTANELLA LUCA

(30)Priority

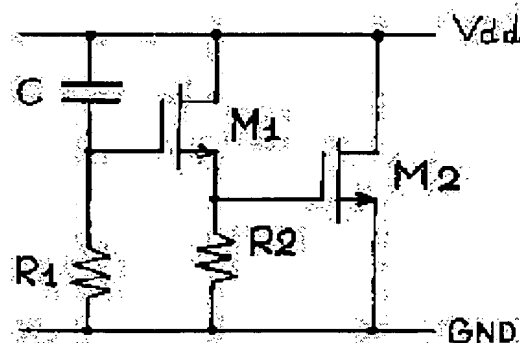
Priority number : 96 96830664 Priority date : 31.12.1996 Priority country : EP

(54) PROTECTIVE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To protect the power supply line or terminal of an integrated circuit device from static discharge, by connecting the control terminals and first terminals of mutually connected first and second transistors to the ground and, at the same time, the second terminals of the transistors to the power supply line.

SOLUTION: The control and first terminals of a first transistor M1 are connected to the ground GND respectively through first and second resistors R1 and R2 and the first and control terminals of a second transistor M2 are connected to the ground GND and, at the same time, to the first terminal of the first transistor M1. Then, the power supply line Vdd of an integrated circuit device is connected to the second terminals of the transistors M1 and M2. Therefore, the power supply line Vdd or terminal of the integrated circuit device can be protected from static discharge.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-209292

(43) 公開日 平成10年(1998) 8月7日

(51) Int.Cl.⁶H 0 1 L 21/8234
27/088
27/04
21/822

識別記号

F I

H 0 1 L 27/08
27/041 0 2 F
H

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21) 出願番号 特願平9-357090

(22) 出願日 平成9年(1997)12月25日

(31) 優先権主張番号 9 6 8 3 0 6 6 4 : 7

(32) 優先日 1996年12月31日

(33) 優先権主張国 イタリア (I T)

(71) 出願人 591002692

エスジーエーストムソン マイクロエレクトロニクス エッセ エッレ エーレ
SGS-THOMSON MICROELECTRONICS SRL
イタリア国 ミラノ 20041 アグラータ
ブリアンツァ ヴィア ツィー オリヴェッティ 2(72) 発明者 エンリコ エンメ ア ラヴァネーリ
イタリア国 ミラノ 20052 モンツァ
ヴィア ステルヴィオ 5

(74) 代理人 弁理士 杉村 暁秀 (外 6 名)

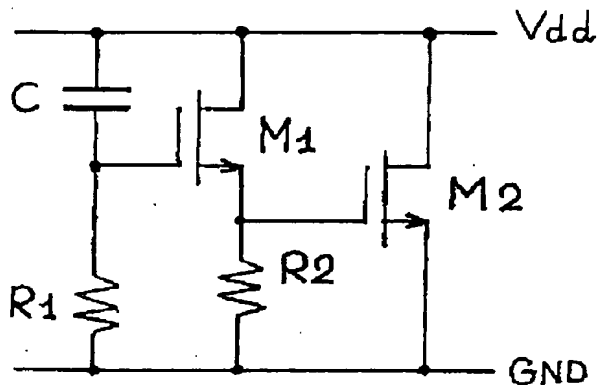
最終頁に続く

(54) 【発明の名称】 保護回路

(57) 【要約】

【課題】 集積回路デバイスの電源供給ラインあるいは端子を静電気放電から保護するために有利に使用することのできる、保護回路を提供する。

【解決手段】 半導体デバイスの電源供給ライン (V d d) の保護回路が、第1 (M1) および第2 (M2) の電界効果トランジスタを含み、両者は、電源供給ライン (V d d) に接続された、それらのそれぞれのドレイン端子を有する。第1のトランジスタ (M1) のゲート端子およびソース端子は、第1 (R1) および第2 (R2) の抵抗を通して、それぞれ、グラウンド (GND) に接続されている。第2のトランジスタ (M2) のゲート端子とソース端子は、それぞれ、第1のトランジスタ (M1) のソース端子とグラウンド (GND) に接続されている。



【特許請求の範囲】

【請求項1】 モノリシック集積半導体デバイスにおける電源供給ライン（Vdd）の保護回路であって、第1（M1）および第2（M2）の電界効果トランジスタを含み、それぞれが第1および第2の端子とコントロール端子とを有し、その第1のトランジスタ（M1）のコントロール端子および第1の端子は、第1（R1）および第2（R2）の抵抗性要素を通してそれぞれグランド（GND）に接続され、その第2のトランジスタ（M2）の第1の端子とコントロール端子は、それぞれグランド（GND）とその第1のトランジスタ（M1）の第1の端子に接続され、その2つのトランジスタのそれぞれの第2の端子は、前記電源供給ライン（Vdd）に接続されている、ことを特徴とする保護回路。

【請求項2】 前記第1のトランジスタ（M1）のコントロール端子は、容量性素子（C）を通して電源供給ライン（Vdd）に接続されている、ことを特徴とする請求項1に記載の保護回路。

【請求項3】 前記第1（M1）および第2（M2）の電界効果トランジスタは、VDMOS型のものであり、それらのそれぞれのドレイン端子は電源供給ライン（Vdd）に接続されている、ことを特徴とする請求項1または請求項2のいずれかに記載の保護回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、集積回路に組み入れられる端子のための保護素子または回路、特に、集積回路デバイスの電源供給端子もしくはラインの保護回路に関するものである。

【0002】

【発明の開示】 MOSテクノロジーの集積回路や、混合タイプのテクノロジーで集積化されたデバイスの低電圧供給部分、例えばそのようなデバイスに含まれるロジック回路などは、實際上、概してそれらの端子で、静電気放電（electrostatic discharge；ESD）によって、重大な損傷を受ける可能性がある。

【0003】 加えて、機能不全あるいは損傷は、それらの供給端子への過電圧の適用から、生ずるかもしれない。

【0004】 静電気放電に関しては、以下の事実が認められる。すなわち、開放されている集積回路の端子が、それらの製造の間、および回路アッセンブリへの包含の間の双方、あるいは動作中に、電気的に荷電された物体と偶然に接触するに至ると、それによって、かなりの大きさの電位差が、例えば、入力トランジスタのゲート電極あるいは出力トランジスタのドレイン領域と、集積回路を形成されるところの半導体材料基板との間に、もたらされるだろう。前者の場合に、その電位差が、そのゲートの絶縁体の絶縁力のスレシヨルドをこえるときは、

そのトランジスタは、その絶縁を通じて発現するところの静電気放電によって、その使用は失われ、一方、後者の場合に、その電位差が、ドレイン接合の逆絶縁破壊のスレシヨルドをこえるとき、同様の破壊的な作用を招く。また、例として、1.2 μm のテクノロジー（すなわち、最小ゲート寸法が1.2 μm ）で製造されたCMOS集積回路において、絶縁破壊電圧は、入力トランジスタでは12V～14Vであり、そして、出力トランジスタでは約12Vである。

【0005】 いくつかの対策が、種々の入力、出力、および供給端子を静電気放電から保護するために、提案されている。

【0006】 多くの場合、バイポーラ系トランジスタを利用する、保護デバイスは、首尾よく用いられている。

【0007】 既知のプロテクターこれは、保護が必要とされるCMOS集積回路に対するモノリシックな集積化（monolithic integration）のために大いに適している一は、例えば、本出願人によるイタリア特許出願第26063A80号に開示されている。

【0008】 このデバイスは、基本的に、NPN系トランジスタから構成されており、ここに、そのエミッタおよびコレクタは、N型の不純物でドーパされ、これに類似しておよび同時に、保護されるべきCMOS回路のIGFETのソースおよびドレインも、そして、そのアクセシブルでないベースは、イオン注入によって、イオンアクセプタ（P型の不純物）で濃密にかつ深くドーパされている。

【0009】 本出願人によるイタリア特許出願第23077A85号では、同様の構成の改良された使用が、開示されている。このプロテクタは、第1および第2のバイポーラ系のトランジスタを含み、それらトランジスタは、その回路の入力端子およびそのIGFETのゲート電極にそれぞれ接続された、それらのコレクタ端子を有し、そして、グランド端子に共同で接続されたそれらのエミッタ端子と、その2つの側のトランジスタのコレクタ相互を接続する拡散抵抗（diffused resistor）（R'）とを有する。

【0010】 この第1のトランジスタのベースの幅と、双方の側のそのベースにおける不純物の集中は、第1の側のトランジスタにおいて負抵抗の状況を起こす（trigger）電圧と、第2の側のトランジスタにおける絶縁破壊電圧とを、酸化物を隔てるゲートの絶縁破壊電圧より低く、および集積回路に含まれるバイポーラ接合の絶縁破壊電圧より低い値に、保つのに効果的であり、また、第1の側のトランジスタの飽和電圧を、集積回路の供給電圧より高い値に保つのに効果的である。

【0011】 簡単にして、そのうえ効果的な、静電気放電からの既知のプロテクタは、ベースとエミッタが短絡され、保護されるべき端子およびグランド間が接続され

た、バイポーラトランジスタであろう。

【0012】このトランジスタは、したがって、この技術においてBVcboと呼ばれる、高インピーダンス、高電圧の状態と、BVcerと呼ばれる、低インピーダンス、低電圧の状態との間で、双安定のタイプの電圧／電流特性を有する。

【0013】このトランジスタは、回路の通常の動作の間、第1のモードで動作し、そして、それをそのままにしておくが、しかし、静電気放電が発生すると、このトランジスタは、第2のモードで動作することを強いら

れ、それによって、放電パルスのためグラウンドへの道を開く。
【0014】バイポーラトランジスタを使用するそのような保護手段の有利性は、供給ラインあるいは端子が、保護されるべきものである場合は、かなり落ちる。實際上、BVcboおよびBVcerは、ラインあるいは端子が集積回路に与えられる高い電位である場合には、それらの効果的な値は、その回路動作の要求と相反する結果に帰着するところの、統計的なプロセス変動を有する。

【0015】そのうえ、保護されるべき供給ラインでの電圧ノイズは、バイポーラトランジスタのプロテクタをターンオンさせ、そして、その供給電圧をBVcerへクランプ(c l a m p)させることを生じさせ、それが、その回路に電力を供給するため意図された電圧よりもはるかに低い値のものとなる。

【0016】これは、回路の機能不全に帰着するのみならず、大きな直流電流がその回路を通して流れるために、恒久的な損傷にも帰着する。

【0017】本発明の底流とするところの技術的な課題は、集積回路デバイスの電源供給ラインあるいは端子を静電気放電から保護するために有利に使用することのできる、保護回路を提供することである。

【0018】この技術的な課題は、上記で述べ、および本明細書の特許請求の範囲の特徴部分で定義されるところの保護回路によって解決される。

【0019】本発明による保護回路の特徴および利点は、その一実施態様の以下の記述から明らかになり、添付図面に関する限定的ではない例の方法によってもたらされるであろう。

【0020】

【発明の実施の形態】単一の図は、本発明による保護回路の図であり、集積回路デバイス(装置)の電源供給ラインあるいは端子用のためのものとして意図されている。

【0021】図に示された、本発明による保護回路は、第1の電界効果トランジスタM1を含んでおり、これは、第1および第2の抵抗R1およびR2を通して、それぞれ、GNDでグラウンドに接続されたゲートおよびソース端子と、保護されるべき電源供給ラインVddに接

続されたドレイン端子とを有する。

【0022】この回路は、そのソースおよびドレイン端子を通して、それぞれグラウンドと電源供給ラインVddの間に接続された第2の電界効果トランジスタM2を含み、第1のトランジスタM1のソース端子に接続されたゲート端子を有する。

【0023】また、図に示されるように、トランジスタM1のゲート端子およびドレイン端子間に接続されたところの、キャパシタCがある。最適な実施のため、実際のモノリシック的な集積化キャパシタが好都合な選択であるように見えるかもしれないが、しかし、このプロテクタの有利性は、トランジスタM1自身のそのゲートおよびドレイン間に存在する本来的な容量(c a p a c i t a n c e)によって、すでに確保されうるものである。抵抗は、拡散された、あるいは多重結晶化されたシリコンの抵抗のものとできる。

【0024】本発明による保護回路は、過度的な状態によってだけ活動的にされ、ラッチアップ(l a t c h u p)しやすい害のないことを示す。

【0025】そのコンポーネント(構成要素)のすべては、アバランシェ(a v a l a n c h e)状態のモードで作動するところの、前述した従来の装置と異なり、保護機能の間、アクティブゾーンで動作する。

【0026】VDMOS型のコンポーネントの使用は、静電気放電の間、それらが、集積化のプロセスによりもたらされた電圧を突然生ずるのを阻止することが確実であるという点で、高い有利性がある。

【0027】プロテクタを活動的にさせるための、供給電圧の最小の変化レベルdV/dtは、

$$2V_{th}/R1C$$

【ここに、VthはトランジスタM1のスレショルド電圧】より大きいものであり、直流電流の状態の下で、この保護回路を通じて電流は流れない。

【0028】出力トランジスタM2のチャネル領域は、ドライバ(駆動)トランジスタM1の作動をトリオード(t r i o d e)領域内に保つようするため適合した大きさにされる。

【0029】この場合に、トランジスタM2のドレインゲート電圧はかなり低く、そのトランジスタは飽和領域の周辺に維持される。

【0030】こうして、どちらのトランジスタにも、永続的なスナップバック(s n a p b a c k)およびラッチアップを生じさせないことができる。

【0031】本発明に従う保護回路は、相当に高速で、VDMOSコンポーネントのターンオン時間は、 L/V_{sat}

【ここに、Lはチャネルの長さ、Vsatは飽和電子の速度】として与えられる。

【0032】このターンオンは、通常、ESD(静電気放電)パルスの先頭(l e a d i n g)エッジよりも速

10

20

30

40

50

く、この回路は、すべての周波数成分を効果的に抑えることができる。

【0033】プロテクタのクランプ電圧 (clamping voltage) は、飽和のとき、トランジスタ M1 のゲートソース電圧よりも高くなく、よって、この保護回路は、静電気放電の間、先行技術のプロテクタに対し、改良された効果を示す。

【0034】本発明に従う保護回路は、集積化プロセスにおける「スプリード (spread)」によって影響を及ぼされず、そして、高いプロセス電圧の要求と両立する。

【0035】トランジスタの適切な寸法形成 (dimensioning) によって、トリガ電圧 (triggering voltage) は、5V から 60V の間で容易に変更されうる。

【0036】さらに、本発明に従う保護回路は、供給ラ

インに供給定格よりも高い電圧が適用され、たとえそのような状況が長く変わらぬものである場合においても、デバイスに損傷を与えるのを避けられる高い効果がある。

【0037】上述された実施態様に対し、当業者に知られた方法で、変更あるいは置き換えがなされうることが、理解されるべきである。

【図面の簡単な説明】

【図1】本発明による保護回路の一実施態様の図である。

【符号の説明】

M1 電界効果トランジスタ

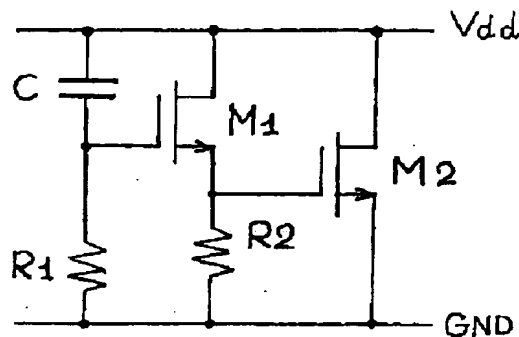
M2 電界効果トランジスタ

R1 抵抗

R2 抵抗

C キャパシタ

【図1】



フロントページの続き

(72)発明者 ルカ フォンタネーラ
イタリア国 20100 ミラノ ヴィアーレ
セルトサ 153